

(19)日本国特許庁(JP)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平6-33136

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

G 0 2 F 1/1343

識別記号

庁内整理番号

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 2 頁)

(21)出願番号 実願平4-72589

(22)出願日 平成4年(1992)9月24日

(71)出願人 000002303

スタンレー電気株式会社

東京都目黒区中目黒2丁目9番13号

(72)考案者 鹿島 敏信

神奈川県横浜市緑区もみの木台3-5-102

(72)考案者 堀井 正俊

神奈川県相模原市矢部1-13-11-303

(72)考案者 杉山 貴

神奈川県横浜市港北区中川2-9-8-707

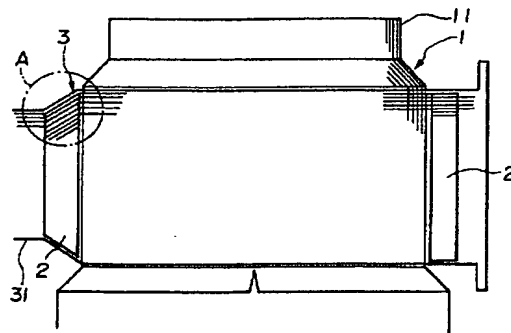
(74)代理人 弁理士 秋元 輝雄

(54)【考案の名称】 液晶表示素子の構造

(57)【要約】

【目的】 この考案は、設計が容易にでき、かつセルに形成した時、ダミー電極を目立たなくでき、かつ対向基板内(走査電極同士)でのショート発生を防止する液晶表示素子の構造を目的とする。

【構成】 共通電極側基板31と走査電極側基板11とを重ね合わせてセルに形成する際に、前記両基板31、11のダミー電極2、4を対向基板側へのITO電極への引回し部とほぼ同一パターンに形成すると共に、該ダミー電極2、4は、短絡されないパターンにパターニングを施してなる。



1

【実用新案登録請求の範囲】

【請求項1】 共通電極側基板と走査電極側基板とを重ね合わせてセルに形成する際に、前記両基板のダミー電極を対向基板側へのITO電極への引回し部とほぼ同一パターンに形成すると共に、該ダミー電極は、短絡されないパターンにパターニングを施してなる液晶表示素子の構造。

【図面の簡単な説明】

【図1】 本考案の共通電極側基板と走査電極側基板を重ね合わせた時のITOパターン図である。

【図2】 図1中のA部の拡大図である。

【図3】 従来の走査電極側基板ITOパターン図である。

2

【図4】 従来の共通電極側基板ITOパターン図である。

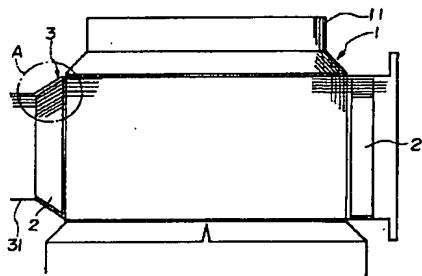
【図5】 共通電極側基板と走査電極側基板を重ね合わせた時のITOパターン図。

【図6】 図5のC部の拡大図である。

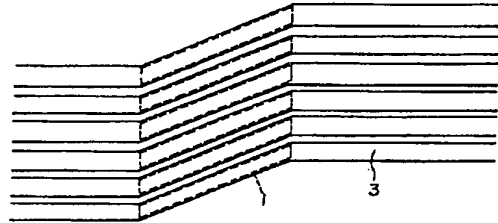
【符号の説明】

- 1 走査電極パターン
- 2 ダミー電極
- 3 共通電極パターン
- 4 ダミー電極
- 11 走査電極側基板
- 31 共通電極側基板

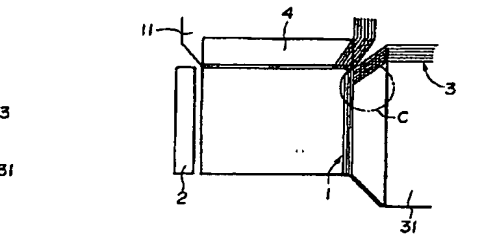
【図1】



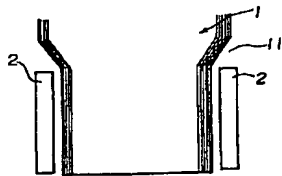
【図2】



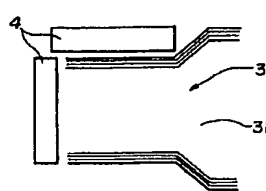
【図5】



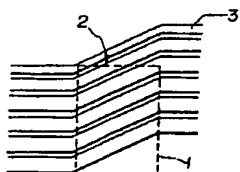
【図3】



【図4】



【図6】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

この考案は、ギャップ精度、均一性が厳格に求められる液晶表示素子に利用される液晶表示素子の構造に関するものである。

【0002】

【従来の技術】

従来、ギャップ精度、均一性が厳格に求められる液晶表示素子においては、本来の電極としてのITOパターンの他に、ダミー電極が設けられる。

【0003】

すなわち、図3は走査電極側基板11のITOパターン図、図4は共通電極側基板31のITOパターン図であり、走査電極側基板11には走査電極側ITOパターン1、ダミー電極2を形成し、共通電極側基板31には共通電極側ITOパターン3、ダミー電極4が形成されている。

【0004】

また、図5は、図3、4の共通電極側基板31と走査電極側基板11とを重ね合わせた時のITOパターン図、図6は、図5のC部の拡大図で実線は共通電極側ITOパターン3、点線は走査電極側ITOパターン1をあらわしている。更に、ダミー電極2、4はパターンを切らず、該ダミー電極部全部にITOを形成している。

【0005】

【考案が解決しようとする課題】

しかし、前記従来の技術では、A. ダミー電極が目視により容易に確認されるため、製品価値を損なうという問題点がある。

【0006】

B. ダミー電極部2ヵ所で対向基板とのショートが生じた場合、ダミー電極を介して走査電極同士でショートが発生するという問題点がある。

【0007】

そこで、本考案は上記従来の技術の問題点に鑑み案出されたもので、設計が容

易にでき、かつセルに形成した時ダミー電極を目立たなくでき、かつ対向基板内（走査電極同士）でのショート発生を防止する液晶表示素子の構造の提供を目的としている。

【0008】

【課題を解決するための手段】

上記目的を達成するために、本考案における液晶表示素子の構造においては、共通電極側基板と走査電極側基板とを重ね合わせてセルに形成する際に、前記両基板のダミー電極を対向基板側へのITO電極への引回し部とほぼ同一パターンに形成すると共に、該ダミー電極は、短絡されないパターンにパターニングを施してなる。

【0009】

【作用】

ダミー電極を対向基板側におけるITO電極への引回し部とほぼ同一パターンに形成したため、ダミー電極を目立たない状態に設計可能である。

【0010】

また、ダミー電極にはパターニングが施され、かつ短絡部が無いいため、ダミー電極部で対向基板とのショートがあっても、対向基板内（走査電極同士）でショートが発生する可能性及び干渉縞（モアレ）の発生が無くなる。

【0011】

【実施例】

実施例について図1から図2を参照して説明すると、図1は、共通電極側基板31と走査電極側基板11を重ね合わせた時のITOパターン図、図2は、図1中のA部の拡大図である。図2において実線は共通電極側ITOパターン3、点線は走査電極側ITOパターン1をあらわしている。

【0012】

走査電極側基板11には、図3と同様に走査電極側パターン1、ダミー電極2が形成され、共通電極側基板31には、図4と同様に共通電極側パターン3、ダミー電極4が形成されている（図3、4参照）。

【0013】

次に、図 1、2 のように共通電極側基板 3 1 と走査電極側基板 1 1 とを重ね合わせた時、前記ダミー電極 2、4 を対向基板における I T O 電極の引回し部とほぼ同一パターンに設計作製されている。

【0014】

また、両基板 3 1、1 1 のダミー電極 2、4 にはパターニングを施し、短絡されていないパターンに形成されている。

【0015】

【考案の効果】

本考案は上述の通り構成されているので、次に記載する効果を奏する。

A. ダミー電極が対向基板における I T O 電極への引回し部とほぼ同一パターンに形成されているため、設計が容易にでき、かつセルに形成した時、ダミー電極は目立たない状態に製作でき、製品品位を向上させることができる。

【0016】

B. ダミー電極には、パターニングが施され、かつ短絡部が無いいため、ダミー電極部で対向基板とのショートがあっても、対向基板内（走査電極同士）でショート発生を防止できる。

【0017】

C. ダミー電極が対向基板における I T O 電極への引回し部とほぼ同一パターンで設計しているため、干渉縞（モアレ）の発生を防止できる。